

MENU

SEARCH

INDEX

1/1



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 06130916

(43)Date of publication of application: 13.05.1994

(51)Int. CI.

G09G 3/36
G02F 1/133
G02F 1/136
G09G 3/20

(21)Application number: 04247879

(71)Applicant:

FUJITSU LTD

(22)Date of filing: 17.09.1992

(72)Inventor:

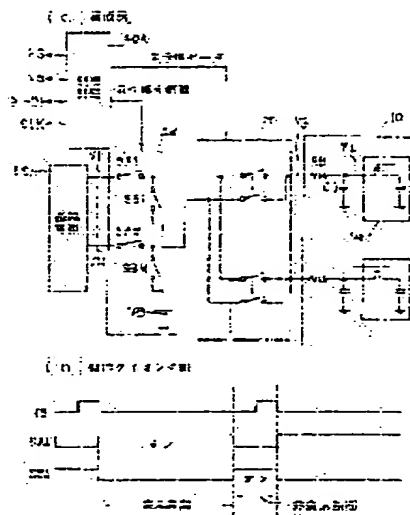
FUJITA MASAYA

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To reduce the electric power consumption by the output current of a reference power source and eventually to make a contribution to the lower electric power as a whole of the device.

CONSTITUTION: This device has the reference power source 50A which generates plural kinds of reference voltages V1 to VM, a switching circuit SW which selectively outputs either of these reference voltages V1 to VM and the reference voltage VB and a data driver 20 which sample holds respectively the data for a digital display, decodes the plural hold values thereof, selects any of plural kinds of the reference voltages selectively outputted through the switching circuit SW according on the result of the decodes and outputs this reference voltage to a data line Xj of a liquid crystal display section 10. The prescribed reference voltage is selectively outputted by the switching circuit SM in the non-display period of the image data, by which the voltage of the distribution capacitors CD of the data line Xg is forcibly set at the prescribed reference voltage via the data driver 20.



LEGAL STATUS

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36		7319-5G		
G 0 2 F 1/133	5 2 0	9226-2K		
	1/136	9018-2K		
G 0 9 G 3/20	J	7335-5G		

審査請求 未請求 請求項の数12(全 15 頁)

(21)出願番号 特願平4-247879

(22)出願日 平成4年(1992)9月17日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 藤田 昌也

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 青木 朗 (外3名)

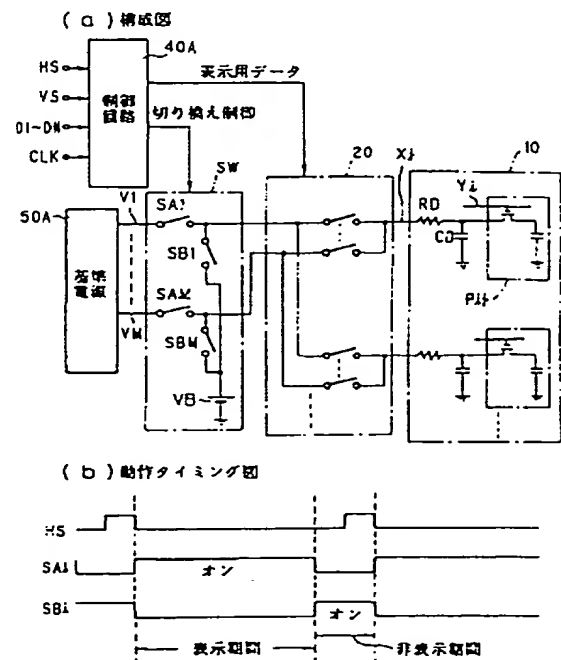
(54)【発明の名称】 液晶表示装置

(57)【要約】

【目的】 本発明は、液晶表示装置に関し、基準電源の出力電流による消費電力を低減し、ひいては装置全体としての低電力化に寄与することを目的とする。

【構成】 複数種類の基準電圧 $V_1 \sim V_M$ を発生する基準電源50Aと、該基準電圧または所定の基準電圧 V_B のいずれかを選択出力するスイッチ回路SWと、デジタルの表示用データをそれぞれサンプル・ホールドしてその複数の保持値をデコードし、前記スイッチ回路を通して選択出力された前記複数種類の基準電圧のいずれかを前記デコードの結果に基づき選択して液晶表示部10のデータライン X_j へ出力するデータドライバ20とを具備し、前記画像データの非表示期間に前記スイッチ回路により前記所定の基準電圧を選択出力し、それにより前記データドライバを介して前記データラインの分布容量CDの電圧を強制的に該所定の基準電圧とするように構成する。

本発明の液晶表示装置の原理図



1

【特許請求の範囲】

【請求項1】 複数のデータライン (X_j) およびゲートライン (Y_i) に沿ってマトリクス状に配列された複数の表示素子 (P_{ij}) を有し、選択された表示素子に対して対応するデータラインから画像データを書き込み表示する液晶表示部 (10) と、
少なくとも水平同期信号 (HS) と垂直同期信号 (VS) に応答して前記画像データの書き込み表示のための制御を行う制御回路 (40A, 40B) と、
複数の種類の基準電圧 ($V_1 \sim V_M$) を発生する基準電源 (50A, 50E) と、
該基準電源から発生された基準電圧または所定の基準電圧 (V_B) のいずれかを前記制御回路からの制御に基づき選択出力するスイッチ回路 (SW, SWA) と、
デジタルの表示用データをそれぞれサンプル・ホールドしてその複数の保持値をデコードし、前記スイッチ回路を通して選択出力された前記複数の種類の基準電圧のいずれかを前記デコードの結果に基づき選択して前記データラインへ出力するデータドライバ (20, 20A) とを具備し、
前記画像データの非表示期間に前記スイッチ回路により前記所定の基準電圧を選択出力し、それにより前記データドライバを介して前記データラインの分布容量 (CD) の電圧を強制的に該所定の基準電圧とすることを特徴とする液晶表示装置。

【請求項2】 前記所定の基準電圧は、前記複数の種類の基準電圧の各電圧値よりも低い値、または高い値となるように選定されていることを特徴とする請求項1に記載の液晶表示装置。

【請求項3】 前記スイッチ回路 (SW) は、前記複数の種類の基準電圧の各信号線にそれぞれ直列に接続された第1のスイッチ群 ($SA_1 \sim SA_4$) と、前記所定の基準電圧を該信号線にそれぞれ接続する第2のスイッチ群 ($SB_1 \sim SB_4$) とを有し、
前記基準電源 (50A) は、前記複数の種類の基準電圧の各信号線にそれぞれ電流を流出するタイプの出力トランジスタ ($QN_1 \sim QN_4$) を有し、
前記制御回路からの制御信号 (T_4, T_5) により前記第1のスイッチ群または第2のスイッチ群を選択的にオンにすることを特徴とする請求項1に記載の液晶表示装置。

【請求項4】 前記スイッチ回路 (SWA) は、前記複数の種類の基準電圧のうち特定の基準電圧 (V_4) に対応する信号線にのみ直列に接続された第1のスイッチ (SA_4) と、前記所定の基準電圧を当該信号線に接続する第2のスイッチ (SB_4) とを有し、
前記基準電源 (50A) は、前記複数の種類の基準電圧の各信号線にそれぞれ電流を流出するタイプの出力トランジスタ ($QN_1 \sim QN_4$) を有し、
前記データドライバ (20A) は、前記デジタルの表

2

示用データを保持すると共に前記制御回路から供給されるクリア信号 (T_6) によりその内容がクリアされるメモリ手段 ($71A \sim 74A$) を有し、

前記制御回路からの制御信号 (T_{41}, T_{51}) により前記第1のスイッチまたは第2のスイッチを選択的にオンにすると共に、前記メモリ手段の内容をクリアした時のデコード結果に基づいて前記特定の基準電圧に対応する信号線に対応するデータラインに接続するようにしたことを特徴とする請求項1に記載の液晶表示装置。

【請求項5】 前記スイッチ回路 (SWA) は、前記複数の種類の基準電圧のうち特定の基準電圧 (V_4) に対応する信号線にのみ直列に接続された第1のスイッチ (SA_4) と、前記所定の基準電圧を当該信号線に接続する第2のスイッチ (SB_4) とを有し、
前記基準電源 (50E) は、前記複数の種類の基準電圧の各信号線からそれぞれ電流を流入するタイプの出力トランジスタ ($QP_1 \sim QP_4$) を有し、
前記データドライバ (20A) は、前記デジタルの表示用データを保持すると共に前記制御回路から供給されるクリア信号 (T_6) によりその内容がクリアされるメモリ手段 ($71A \sim 74A$) を有し、
前記制御回路からの制御信号 (T_{41}, T_{51}) により前記第1のスイッチまたは第2のスイッチを選択的にオンにすると共に、前記メモリ手段の内容をクリアした時のデコード結果に基づいて前記特定の基準電圧に対応する信号線に対応するデータラインに接続するようにしたことを特徴とする請求項1に記載の液晶表示装置。

【請求項6】 前記スイッチ回路は、前記複数の種類の基準電圧の各信号線にそれぞれ直列に接続された第1のスイッチ群と、前記所定の基準電圧を該信号線にそれぞれ接続する第2のスイッチ群とを有し、
前記基準電源は、前記複数の種類の基準電圧の各信号線からそれぞれ電流を流入するタイプの出力トランジスタを有し、
前記制御回路からの制御に基づいて前記第1のスイッチ群または第2のスイッチ群を選択的にオンにすることを特徴とする請求項1に記載の液晶表示装置。

【請求項7】 複数のデータライン (X_j) およびゲートライン (Y_i) に沿ってマトリクス状に配列された複数の表示素子 (P_{ij}) を有し、選択された表示素子に対して対応するデータラインから画像データを書き込み表示する液晶表示部 (10) と、
少なくとも水平同期信号 (HS) と垂直同期信号 (VS) に応答して前記画像データの書き込み表示のための制御を行う制御回路 (40C, 40D) と、
複数の種類の基準電圧 ($V_1 \sim V_M$) を発生する基準電源 (50B, 50C, 50D) と、
デジタルの表示用データをそれぞれサンプル・ホールドしてその複数の保持値をデコードし、前記基準電源から発生された前記複数の種類の基準電圧のいずれかを前

記デコードの結果に基づき選択して前記データラインへ出力するデータドライバ(20A、20B)とを具備し、

前記画像データの非表示期間に前記データラインの分布容量を充電または放電させるための手段を前記基準電源に設けたことを特徴とする液晶表示装置。

【請求項8】 前記基準電源(50B)は、前記複数の種類の基準電圧の中で最低の基準電圧(V4)を生成する回路部分に、電流を流出するタイプの出力トランジスタ(QN4)と電流を流入するタイプの出力トランジスタ(QP4)を有し、

前記データドライバ(20A)は、前記デジタルの表示用データを保持すると共に前記制御回路から供給されるクリア信号(T6)によりその内容がクリアされるメモリ手段(71A~74A)を有し、

該メモリ手段の内容をクリアした時のデコード結果に基づいて前記最低の基準電圧に対応する信号線に対応するデータラインに接続するようにしたことを特徴とする請求項7に記載の液晶表示装置。

【請求項9】 前記基準電源(50C)は、前記複数の種類の基準電圧の中で最低の基準電圧(V4)を生成する回路部分に電流を流入するタイプの出力トランジスタ(QP4)を有し、

前記データドライバ(20A)は、前記デジタルの表示用データを保持すると共に前記制御回路から供給されるクリア信号(T6)によりその内容がクリアされるメモリ手段(71A~74A)を有し、

該メモリ手段の内容をクリアした時のデコード結果に基づいて前記最低の基準電圧に対応する信号線に対応するデータラインに接続するようにしたことを特徴とする請求項7に記載の液晶表示装置。

【請求項10】 前記基準電源(50D)は、前記複数の種類の基準電圧の中で最低の基準電圧を生成する回路部分に、電流を流出するタイプの出力トランジスタと電流を流入するタイプの出力トランジスタを有し、

前記データドライバ(20B)は、前記保持されたデジタルの表示用データをデコードすると共に前記制御回路から供給されるクリア信号(T6A)によりその内容がクリアされるデコーダ(81A~84A)を有し、

該デコーダの出力に基づいて前記最低の基準電圧に対応する信号線に対応するデータラインに接続するようにしたことを特徴とする請求項7に記載の液晶表示装置。

【請求項11】 前記基準電源は、前記複数の種類の基準電圧の中で最高の基準電圧を生成する回路部分に、電流を流出するタイプの出力トランジスタと電流を流入するタイプの出力トランジスタを有し、

前記データドライバは、前記デジタルの表示用データを保持すると共に前記制御回路から供給されるクリア信号によりその内容がクリアされるメモリ手段を有し、

該メモリ手段の内容をクリアした時のデコード結果に基

づいて前記最高の基準電圧に対応する信号線に対応するデータラインに接続するようにしたことを特徴とする請求項7に記載の液晶表示装置。

【請求項12】 前記基準電源は、前記複数の種類の基準電圧の中で最高の基準電圧を生成する回路部分に、電流を流出するタイプの出力トランジスタと電流を流入するタイプの出力トランジスタを有し、

前記データドライバは、前記保持されたデジタルの表示用データをデコードすると共に前記制御回路から供給されるクリア信号によりその内容がクリアされるデコーダを有し、

該デコーダの出力に基づいて前記最高の基準電圧に対応する信号線に対応するデータラインに接続するようにしたことを特徴とする請求項7に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、液晶表示装置(LCD)に係り、特に、電池駆動を必要とするノート型パソコン等に適用されるLCDにおいて低電力化を図る技術に関する。LCDは、従来のCRTを代替する表示装置として期待されており、大規模市場に発展することが予想されている。そのため、その技術開発は盛んに行われている。その中でも特に、薄膜トランジスタ(TFT; Thin Film Transistor)を用いたLCDは原理的に高品質の表示が可能であり、しかも表示速度が速いことから、高速且つ高画質のカラー表示用ディスプレイの主流になることが期待されている。

【0002】

【従来の技術】 TFTを用いたLCDでは、TFTをスイッチング素子として用い、画素毎の液晶容量に対応するTFTを介して画像データ信号の大きさに比例したアナログ電圧信号(情報)を書き込むことにより、画像表示を行う。図14に従来形の一例としてのLCDの構成が示され、図15にはその要部の構成が示される。

【0003】 図示の例では、表示制御形態としてデジタル・ドライバ方式を用いたTFT型LCDの構成が示され、また、説明の簡単化のために画素数を4×4として示してある。実際には、画素数は640×480程度が典型例であり、しかもカラー表示のためには赤

(R)、緑(G)および青(B)の別に画素を持つ必要があるため、さらに3倍の画素数を必要とする。

【0004】 図中、10は液晶表示部(液晶パネル)を示し、その中のP11~P44が画素と称する最小の表示単位を表している。各画素P11~P44は、図15に示すように、複数のデータラインX1~X4と複数のゲートラインY1~Y4の交差部に配設され、対応するゲートラインが選択された時に対応するデータライン上の電圧情報を伝達するトランスファゲート用トランジスタ(TFT)と、対応するTFTを介して伝達された情報を記憶する液晶容量とから成っている。この図で横方

向の画素の並び（例えばP11～P14）を一ラインと称し、LCDへの表示用のデータはこの一ライン毎に書き込まれ、それを一秒間に60回程度繰り返して、人の目にはちらつきのない画像として見せる。

【0005】図14において、HSは水平同期信号、VSは垂直同期信号、D1～DNは画像データ、CLKは該画像データと同期して与えられるタイミング信号（クロック）を示す。なお、Nは階調表示するためのビット数を表す。また、クロックCLKは水平同期信号HSの周期を計測して内部で生成することが可能であり、インタフェースとして本質的に必要とするものではない。

【0006】40はLCD全体を制御する制御回路を示し、水平同期信号HS、垂直同期信号VSおよびクロックCLKに応答して画像データD1～DNの書き込みのための各種制御信号を発生する。また、50は複数の種類の基準電圧V1～VMを発生する基準電源を示す。20はデータドライバを示し、シフトレジスタ21と、それぞれNビットの容量を持つメモリ（M）61～64と、同じくNビットの容量をそれぞれ有するメモリ（M）71～74と、デコーダ（DEC）81～84と、スイッチ（SW）91～94とを有し、通常の形態として集積回路化されている。なお、基準電源50は、通常、集積回路の中には含まれない。それは、LCDで必要とするデータドライバ20は通常複数個のICで構成するのに対して、基準電源50は共通に一個設けられていけばよいからである。

【0007】データドライバ20において、シフトレジスタ21は、1ライン毎に制御回路40から供給されるスタート信号T1により動作を開始し、制御回路40から供給されるクロックCK1により歩進してタイミング信号TA1～TA4を生成する。メモリ61～64は、制御回路40を通して供給される表示用のデータDT1～DTNをそれぞれタイミング信号TA1～TA4にตอบสนองして取り込み（つまりデータの書き込み）。また、メモリ71～74は、メモリ61～64にデータが書き込まれた後、次のラインのデータが到来する前に該メモリ61～64内のデータを制御回路40からのタイミング信号T2にตอบสนองして取り込む（データの書き込み）。デコーダ81～84は、それぞれメモリ71～74に蓄積されたデジタルの表示データをデコードする。スイッチ91～94は、対応するデコーダ81～84のデコード結果に基づき、基準電源50から出力される複数種類の基準電圧V1～VMのいずれかを選択出力する。つまりスイッチ91～94は、メモリ71～74に蓄積されたデジタル・データに対応したアナログ信号を発生させるための一種のデジタル・アナログ変換回路として機能する。このようにしてV1～VMのM種の電圧のいずれかが選択され、データラインX1～X4に出力される。M種の基準電圧V1～VMとメモリ71～74に蓄積されたNビットのデータとの関係は、データが2進数

の場合、 $M=2^N$ で表される。例えばN=3の場合は $M=8$ 、N=4の場合は $M=16$ となる。

【0008】30はゲートドライバを示し、シフトレジスタ31と、各ゲートラインY1～Y4に対応して設けられたドライバDV1～DV4とから構成されている。シフトレジスタ31は、制御回路40から供給されるスタート信号T3により動作を開始し、同じく制御回路40から供給されるクロックCK2により歩進して液晶パネル10の1ライン毎のTFTを駆動するための信号を順次発生する。なお、スタート信号T3は垂直同期信号VSと同じ周期を有し、クロックCK2は水平同期信号HSと同じ周期を有する。ドライバDV1～DV4は、シフトレジスタ31の出力からTFTのオンとオフを制御できる電圧にレベル変換を行い、それぞれ対応するゲートラインY1～Y4に出力する2値出力回路として機能する。これによって、アナログスイッチであるTFTのゲート電圧を制御してスイッチ機能をオン・オフすることができ、データドライバ20から出力されるデータラインX1～X4上の画像データの信号電圧を1ライン毎にTFTを通して液晶容量に書き込むことができる。

【0009】図15は、図14におけるスイッチ（SW）91～94および液晶パネル10と基準電源50の部分の詳細を示したものである。図示の構成は、スイッチ91～94の各個の中の1個のアナログスイッチのみをオンにして基準電圧V1～V4の中から1つの電圧を選択する例を示している。つまりこの場合は、前述のNが2の場合に相当している。

【0010】基準電源50は、図15にも示すように、基準となる電圧VRを抵抗R1～R5により分圧して必要とする種類（この場合V1～V4の4種類）の基準電圧を生成し、それをオペアンプ回路A1～A4を通して出力するのが一般的な構成例である。この場合、各オペアンプ回路A1～A4は多数のデータラインを駆動するため、大電流を取り出すことができるよう大電流出力を可能とする出力形態となっている。

【0011】このオペアンプ回路A1～A4の具体的な構成例は図16に示される。図中、オペアンプ回路A1を例にとると、大電流出力を可能とするために、その出力部はNPN型トランジスタP11とPNP型トランジスタP12を縦続接続して電流の流出および流入を可能とする形態となっている。これは、データドライバ内のスイッチ91～94を介して液晶パネル10のデータラインXjへ基準電圧V1～V4を印加した時、基準電源50の出力部からデータラインXjに電流が流出する場合（破線IPで図示）と、データラインXjから基準電源50の出力部に電流が流入する場合（破線IMで図示）とがあるからである。

【0012】図16において、RDはデータラインXjの等価抵抗、CDは等価容量（つまりデータラインの分布容量）を表している。例えば10.4インチの液晶パ

ネルの場合、1ライン当たり、RDの抵抗値は約10KΩ、CDの容量値は約100pFが典型例である。640×480画素でカラーの液晶パネルの場合、全てのラ*

$$RD = 10K\Omega / (640 \times 3) \approx 5.2\Omega \dots\dots\dots (1)$$

$$CD = 100pF \times 640 \times 3 = 0.192\mu F \dots\dots\dots (2)$$

この計算による値が基準電源50の負荷となるのは、画像データが全てのラインで同一の場合である。例えば、表示が全部「黒」、全部「白」、1ラインおきに全部「黒」または全部「白」の場合等がそうである。

【0014】次に、基準電源の出力電流が「流出」形態または「流入」形態となる場合について説明する。これを説明するために液晶パネルのT-V特性、すなわち液晶の透過度(T)と液晶にかかる印加電圧(V)との関係を図17に示す。この図は、液晶に電圧を掛けていない状態で透過度が最大となる、いわゆるノーマリ・ホワイトの例を示している。この図から、液晶に電圧を印加して表示を行うためには、5Vとすると「黒」となり、約2V以下で「白」となることが分かる。一方、液晶は直流を長時間印加すると劣化する性質があるので、これに対処するため、一定時間毎に極性を反転するいわゆる交流化駆動を行う。具体的にはこれは、液晶容量の両端にかかる電圧を実効的に一定周期で反転すればよい訳で、このため、液晶容量の一端である共通電極の電圧を約7Vとし、液晶容量の他端に印加するデータ電圧をこ※

$$(12-2) / 5.2 = 1.92A \dots\dots\dots (3)$$

基準電源50からの流出または流入電流は、この値を初期値として時定数(RD×CD)/2で減衰する。

【0017】

【発明が解決しようとする課題】基準電源の出力部に使用するオペアンプ回路は、式(3)で計算した電流値を流出または流入する能力を備えている必要がある。もし能力が不足すると、データラインへの電圧の書換え時間が長くなり、限られた時間内で液晶容量へ正しく画像データ電圧を書き込むことができないという不都合が生じる。

【0018】このため、従来の構成では図16に示すように、基準電源50の出力部に使用するオペアンプ回路Aiは、NPN型およびPNP型の出力トランジスタを縦続接続して電流の流出および流入を可能とした形態とする必要があった。このオペアンプ回路が大電流を出力できるためには、そのバイアス回路として、出力トランジスタに十分なベース電流を供給するための回路(例えばオペアンプ回路A1の場合、抵抗器RA1、ダイオードDA1、ダイオードDB1および抵抗器RB1から成る回路)を必要とする。

【0019】しかしながら、基準電源50の負荷電流が小さい場合には、高電位の電源ラインVPから低電位の電源ラインVMに向かって流れる電流が相対的に大きくなるため、LCD全体としての低電力化が損なわれるという問題点があった。LCDの低電力化は特に電池駆動

*インを合計した等価抵抗と等価容量は以下になる。

【0013】

※の値を中心としてそれより高い電圧と低い電圧にして交互に与えればよいことになる。

【0015】全「黒」表示を例にとると、交流化駆動によりデータラインへ与える電圧は、図17の特性図から、7V+5V=12Vと7V-5V=2Vとなる。つまり、データラインを1ライン時間(約30μ秒)毎に12Vと2Vの間で充放電することになる。図16を参照すると、データラインXjへの印加電圧が2Vから12Vに変化した時、等価容量CDに対して、基準電源50の出力部(オペアンプ回路Ai)から電流の流出が起こる(破線IPで図示)。逆に、12Vから2Vに変化した時、基準電源50の出力部(オペアンプ回路Ai)に対して、等価容量CDから電流の流入が起こる(破線IMで図示)。つまり、基準電源50は電流の流出と流入の能力を必要とする。この最大電流は、データドライバ20のオン抵抗を無視すれば、先に計算した式(1)のデータラインの等価抵抗RDの最小値より、以下のようになる。

【0016】

を必要とするノート型パソコン用の表示装置として強く要望されているものである。基準電源に使用するオペアンプは大電流出力型として集積回路化されているものを使用するのが通常の形態であり、例えばこれに適したものとしてモトローラ社のTCA0372がある。このオペアンプは、最大出力電流は1Aと大きい、無負荷時の消費電流は最大14mAであり、この素子を基準電源用として使用して電源電圧(VP-VM)を15Vとすれば、16階調の場合、基準電源の数は16個必要となるので、その全体の消費電力は最大16×15×14mA=3.36Wにもなってしまう。

【0020】本発明は、かかる従来技術における課題に鑑み創作されたもので、基準電源の出力電流による消費電力を低減し、ひいては装置全体としての低電力化に寄与することができる液晶表示装置を提供することを目的としている。

【0021】

【課題を解決するための手段】上記課題を解決するため、本発明では、基準電源とデータドライバの間にアナログスイッチ手段を設け、該スイッチ手段を切り換え制御することで基準電源が電流の流出(または流入)のみを可能とする出力形態を採用している。従って本発明の液晶表示装置は、その基本形態として図1(a)の原理構成図に示されるように、複数のデータラインXjおよびゲートラインYiに沿ってマトリクス状に配列された

複数の表示素子 P_{ij} を有し、選択された表示素子に対して対応するデータラインから画像データを書き込み表示する液晶表示部10と、少なくとも水平同期信号HSと垂直同期信号VSに应答して前記画像データの書き込み表示のための制御を行う制御回路40Aと、複数の種類の基準電圧 $V_1 \sim V_M$ を発生する基準電源50Aと、該基準電源から発生された基準電圧または所定の基準電圧VBのいずれかを前記制御回路からの制御に基づき選択出力するスイッチ回路SWと、ディジタルの表示用データをそれぞれサンプル・ホールドしてその複数の保持値をデコードし、前記スイッチ回路を通して選択出力された前記複数の種類の基準電圧のいずれかを前記デコードの結果に基づき選択して前記データラインへ出力するデータドライバ20とを具備している。そして画像データの非表示期間に、前記スイッチ回路により前記所定の基準電圧を選択出力し、それにより前記データドライバを介して前記データラインの分布容量CDの電圧を強制的に該所定の基準電圧とすることを特徴としている。

【0022】

【作用】上述した構成によれば、スイッチ回路SWは、画像データの非表示期間に、制御回路40Aからの切り換え制御により所定の基準電圧VBを選択してデータドライバ20に出力する。具体的には、スイッチ回路SW内の基準電源50A側に接続されたスイッチ SA_i ($i=1, 2, \dots, M$)をオフにし、基準電圧VB側に接続されたスイッチ SB_i をオンにする。これによって、液晶表示部10内のデータライン X_j の等価容量(分布容量CD)に蓄積された電荷は、1水平期間の終わりすなわち表示期間の終わり毎に放電される。これは、データドライバ20中のオンになっている基準電圧選択スイッチとスイッチ回路SW内のオンになっているスイッチ SB_i を介して行われる。そして最終的に、データライン X_j の分布容量CDの電位は基準電圧VBのレベルとなる。この動作タイミングの関係は図1の(b)に示される。

【0023】従って、次のラインへのデータに応じた基準電圧が選択された時のデータライン X_j への基準電源50Aからの出力電流は、流出のみとなる。つまり、従来例の基準電源が必要としていた流出と流入の両方の能力を必要としないので、その分だけ消費電力を削減することができる。これは、LCD全体としての低電力化に大いに寄与する。

【0024】なお、基準電源50Aの出力電流が流出のみとなるのは、スイッチ回路SW内の基準電圧VBを、該基準電源から発生される複数の種類の基準電圧 $V_1 \sim V_M$ の各電圧値よりも低い値に選定した場合である。逆に、基準電圧VBを各基準電圧 $V_1 \sim V_M$ の値よりも高い値に選定した場合には、1水平期間の終わり毎にデータライン X_j の分布容量CDは充電される。つまり、基準電源50Aの出力電流は、流入となる。この場合も同

様に、消費電力の低減が可能となる。

【0025】なお、本発明の他の構成上の特徴および作用の詳細については、添付図面を参照しつつ以下に記述される実施例を用いて説明する。

【0026】

【実施例】図2に本発明の第1の実施例としてのLCDの構成が示され、図3にはその要部の構成が示される。本実施例は図1の原理図に示す形態と基本的に同じものである。本実施例では図3に示すように、基準電源50Aは、その出力部にNPN型出力トランジスタ $QN_1 \sim QN_4$ を備えている。これによって、基準電源50Aの出力電流は流出のみとなるので、従来例に比して消費電力を削減することができ、ひいてはLCD全体としての低電力化を図ることが可能となる。

【0027】なお、本実施例では出力トランジスタ $QN_1 \sim QN_4$ にバイポーラ型素子を用いているが、VMO Sと言われるMOS型の素子で構成してもよい。図4に本発明の第2の実施例としてのLCDの構成が示され、図5にはその要部の構成が示される。第1の実施例との相違点は、スイッチ回路SWAの構成と、制御回路40Bがデータドライバ20A内の第2のメモリ71A~74Aに対してクリア信号T6を供給することである。

【0028】図5に示すように、本実施例で用いられるスイッチ回路SWAは、基準電源50Aから発生される4種類の基準電圧のうち基準電圧V4に対応する出力信号線にのみ1組のスイッチ(SA_4 と SB_4)を有しており、該スイッチを通して、データラインの分布容量に蓄積された電荷を放電させるようにしている。すなわち、クリア信号T6によりメモリ71A~74Aの内容を0にした時のデコーダ81~84のデコーダ結果に基づき、それぞれ対応するスイッチ91~94内部のアナログスイッチのうち、基準電圧V4に対応するスイッチのみをオンとすることにより、該スイッチと上記スイッチ SB_4 を介してデータライン上の電荷を放電させることができる。この場合、スイッチ回路SWA内の基準電圧VBは、基準電源50Aから発生される各基準電圧 $V_1 \sim V_4$ の値よりも低い値に選定しておく必要がある。

【0029】図6に本発明の第3の実施例としてのLCDの構成が示され、図7にはその要部の構成が示される。第2の実施例との相違点は、第2の実施例におけるスイッチ回路SWAを取り除き、データラインの分布容量に蓄積された電荷を放電させるために基準電源50Bの回路構成を工夫したことである。

【0030】すなわち図7に示すように、本実施例で用いられる基準電源50Bは、4種類の基準電圧 $V_1 \sim V_4$ のうち基準電圧V4を発生する回路部分のみを、電流の流出および流入が可能な構成としている。この回路部分の構成は、基本的には図16に示すオペアンプ回路 A_i と同等である。この場合、基準電圧V4は、全ての基準電圧 $V_1 \sim V_4$ の中で最低の電圧値に設定しておく必

要がある。また、第2の実施例と同様に、制御回路40Cからクリア信号T6を与えてメモリ71A~74Aの内容を0にする機能は必須である。

【0031】図8に本発明の第4の実施例としてのLCDの構成が示され、図9にはその要部の構成が示される。第3の実施例との相違点は基準電源50Cの回路構成にある。本実施例では図9に示すように、基準電源50Cは、4種類の基準電圧V1~V4のうち基準電圧V4を発生する回路部分にPNP型の出力トランジスタQP4を有し、それによって電流の流入のみが可能な構成としている。この場合、第3の実施例と同様に、基準電圧V4は全ての基準電圧V1~V4の中で最低の電圧値に設定しておく必要がある。

【0032】図10に本発明の第5の実施例としてのLCDの構成が示される。本実施例では、第2~第4の実施例においてクリア信号T6によりデータドライバ20A内の第2のメモリ71A~74Aの内容をクリアするのと同様の機能をデコード81A~84Aに作用させている。すなわち、制御回路40Dからデータドライバ20B内のデコード81A~84Aに対してクリア信号T6Aを供給するようにしている。このデコードのデコード結果に基づき、それぞれ対応するスイッチ91~94内部のアナログスイッチのうち、特定のスイッチを強制的にオンとすることにより、該スイッチを介してデータラインの分布容量を放電させることができる。これを実現するためのデコードの回路構成例は図11に示される。

【0033】図11に示すデコード81Aは、クリア信号T6AにตอบสนองするインバータG0と、対応するメモリ71からのデータD1、D0にそれぞれตอบสนองするインバータG1、G2と、データD1およびD0にตอบสนองするノアゲートG3と、データD1およびインバータG2の出力にตอบสนองするノアゲートG4と、データD0およびインバータG1の出力にตอบสนองするノアゲートG5と、インバータG1およびG2の出力にตอบสนองするノアゲートG6と、インバータG0の出力およびノアゲートG3~G5の各出力にそれぞれตอบสนองするアンドゲートG7~G9と、ノアゲートG6の出力およびクリア信号T6AにตอบสนองするオアゲートG10とを有している。

【0034】デコード81Aの最終段のゲートG7~G10から出力される信号は、対応するスイッチ91内部のスイッチ91A~91Dをそれぞれオン・オフするのに用いられる。図示の例では、クリア信号T6Aが'H'レベルの時、アンドゲートG7~G9にはインバータG0を通して'L'レベルの信号が供給されるので該アンドゲートは全て無効となり、一方、オアゲートG10の出力は'H'レベルとなるので、それに対応するスイッチ91Dのみがオンとなる。これによって、データラインX1の分布容量に蓄積された電荷は該スイッチ91Dを通して放電させることができる。

【0035】図12に本発明の第6の実施例としてのLCDの構成が示され、図13にはその要部の構成が示される。本実施例は基本的には第2の実施例と同等である。第2の実施例との相違点は基準電源50Eの回路構成にある。本実施例では図13に示すように、基準電源50Eは、その出力部にPNP型の出力トランジスタQP1~QP4を備えている。これによって、基準電源50Eの出力電流は流入のみとなるので、LCD全体としての低電力化を図ることができる。この場合、スイッチ回路SWA内の基準電圧VBは、基準電源50Eから発生される各基準電圧V1~V4の値よりも高い値に選定しておく必要がある。

【0036】なお、第6の実施例と同様の考え方は、第2の実施例以外の各実施例にも適用可能である。例えば第1の実施例に適用する場合には、図2、図3の構成において、スイッチ回路SW内の基準電圧VBを各基準電圧V1~V4よりも高い値に選定し、さらに基準電源50Aの出力部に用いる出力トランジスタをNPN型に代えてPNP型とすればよい。同様に第3の実施例に適用する場合には、図6、図7の構成において、基準電圧V4を全ての基準電圧V1~V4の中で最大値となるように設定し、さらに基準電圧V1~V3に対応する出力トランジスタをNPN型に代えてPNP型とすればよい。同様に第4の実施例に適用する場合には、図8、図9の構成において、基準電圧V4を全ての基準電圧V1~V4の中で最大値となるように設定し、さらに基準電圧V4に対応する出力トランジスタをNPN型とし、基準電圧V1~V3に対応する出力トランジスタをPNP型とすればよい。また、同様にして第5の実施例に対しても適用することができる。

【0037】

【発明の効果】以上説明したように本発明によれば、基準電源の出力電流による消費電力の低減が可能となり、それによってLCD全体の低電力化を図ることができる。従って、ノート型パソコン等に適したLCDとして大いに利用することができる。

【図面の簡単な説明】

【図1】本発明の液晶表示装置の原理図である。

【図2】本発明の第1の実施例としてのLCDの構成図である。

【図3】図2の要部の構成図である。

【図4】本発明の第2の実施例としてのLCDの構成図である。

【図5】図4の要部の構成図である。

【図6】本発明の第3の実施例としてのLCDの構成図である。

【図7】図6の要部の構成図である。

【図8】本発明の第4の実施例としてのLCDの構成図である。

【図9】図8の要部の構成図である。

13

【図10】本発明の第5の実施例としてのLCDの構成図である。

【図11】図10におけるデコーダの構成図である。

【図12】本発明の第6の実施例としてのLCDの構成図である。

【図13】図12の要部の構成図である。

【図14】従来形の一例としてのLCDの構成図である。

【図15】図14の要部の構成図である。

【図16】従来例の問題点を説明するための図である。

【図17】液晶の印加電圧と透過度との関係を示すグラフである。

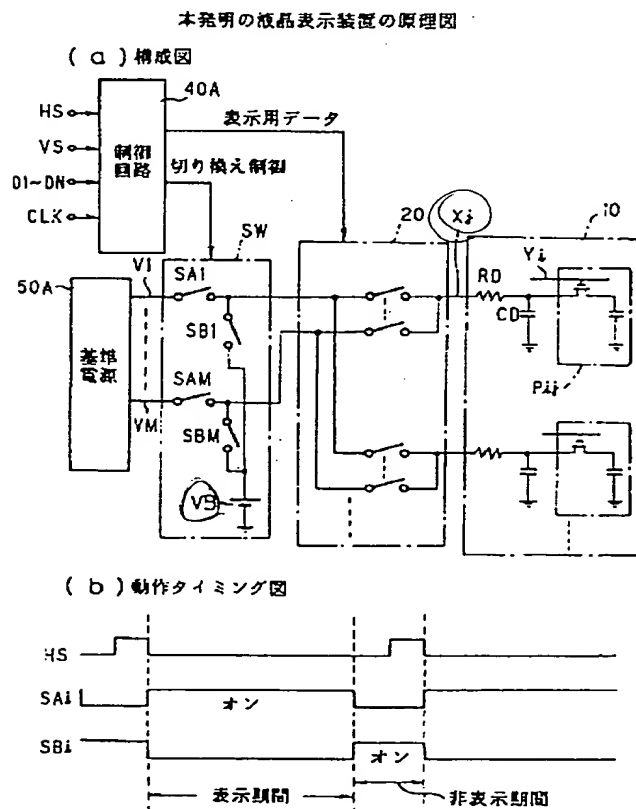
【符号の説明】

10…液晶表示部

20, 20A, 20B…データドライバ

40A, 40B, 40C, 40D…制御回路

【図1】



14

50A, 50B, 50C, 50D, 50E…基準電源

61~64, 71~74, 71A~74A…メモリ (M)

81~84, 81A~84A…デコーダ (DEC)

91~94…スイッチ (SW)

CD…データラインの等価容量 (分布容量)

CLK…画像データの周期クロック

D1~DN…画像データ

HS…水平同期信号

Pij…表示素子 (画素)

SW, SWA…スイッチ回路

V1~VM…基準電源から発生される基準電圧

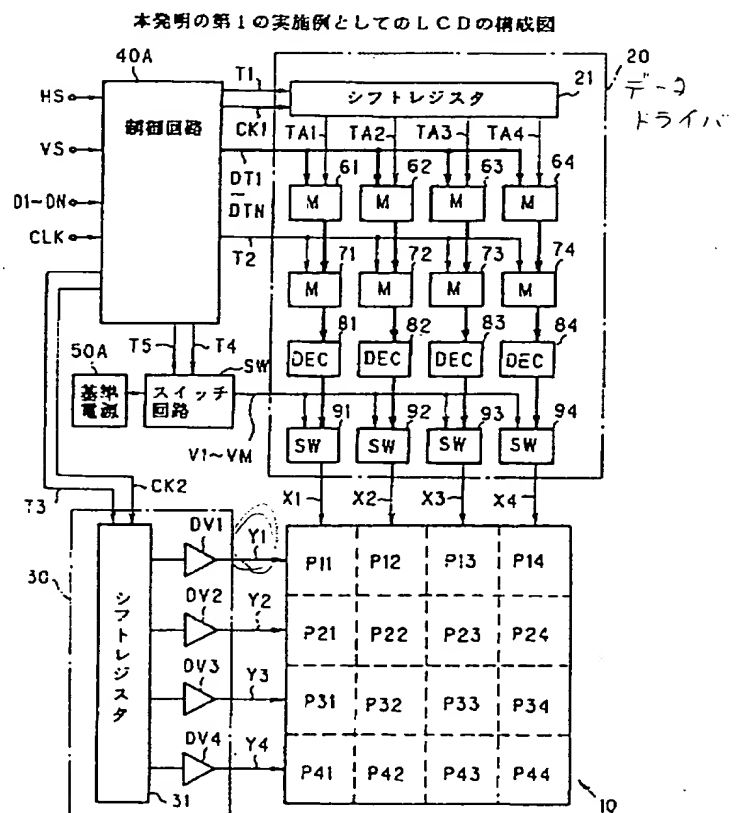
VB…所定の基準電圧

VS…垂直同期信号

X1~X4…データライン

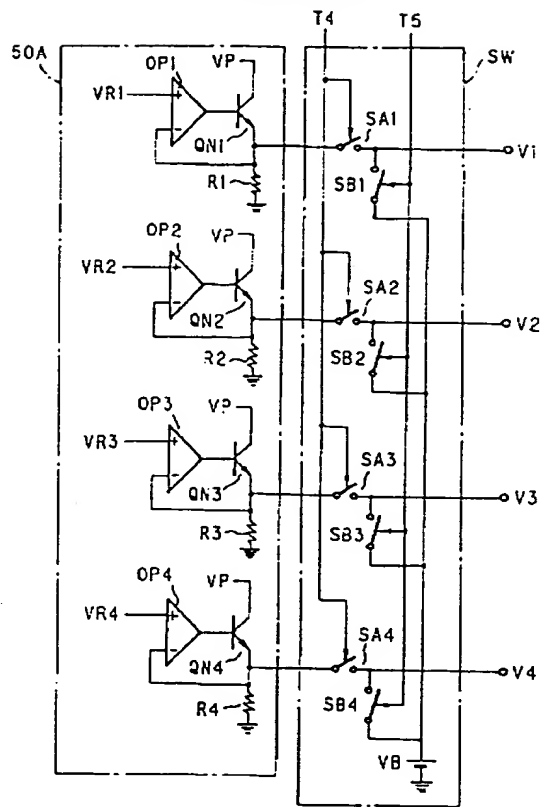
Y1~Y4…ゲートライン

【図2】



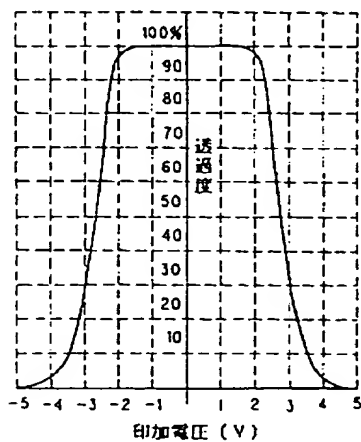
【図3】

図2の要部の構成図



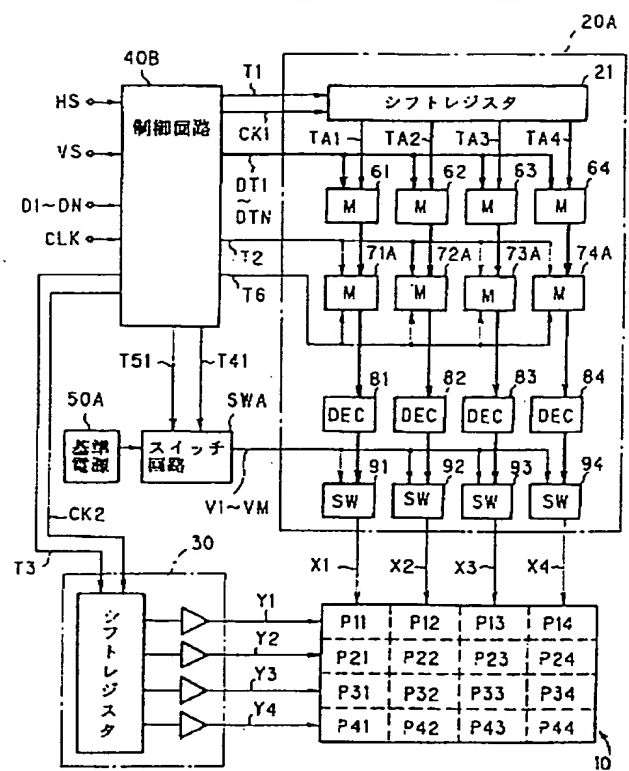
【図17】

液晶の印加電圧と透過率との関係を示すグラフ



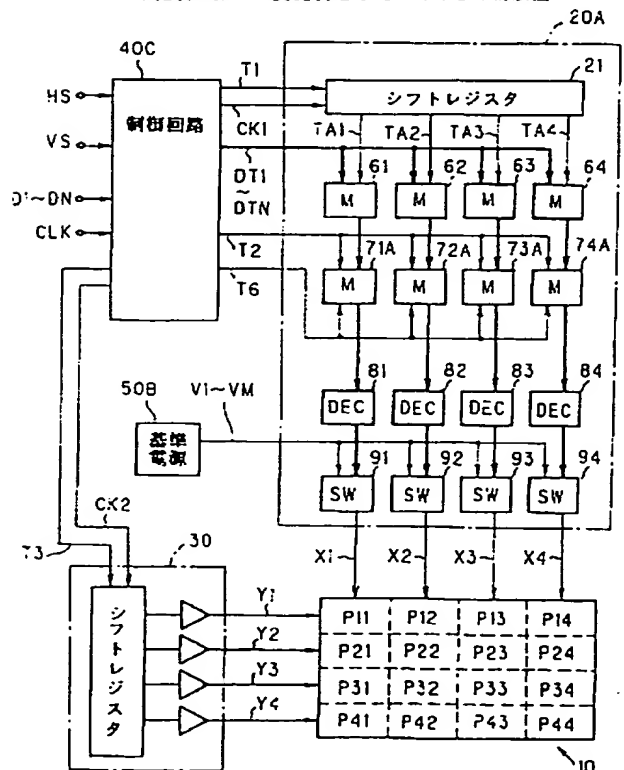
【図4】

本発明の第2の実施例としてのLCDの構成図



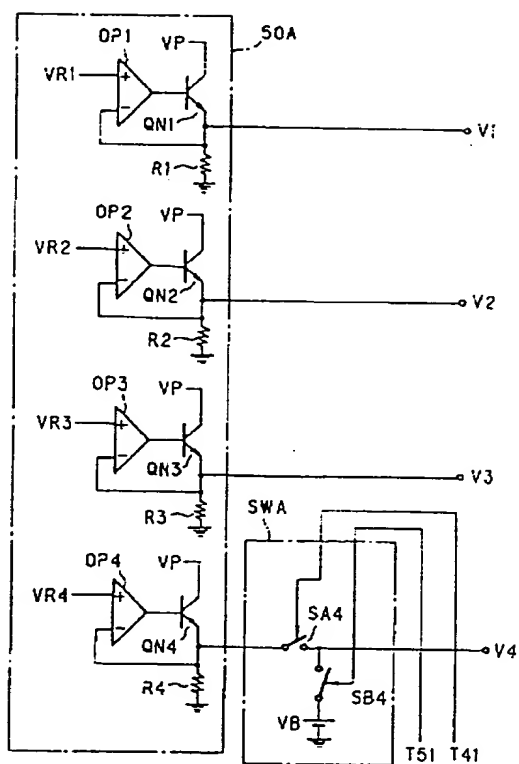
【図6】

本発明の第3の実施例としてのLCDの構成図



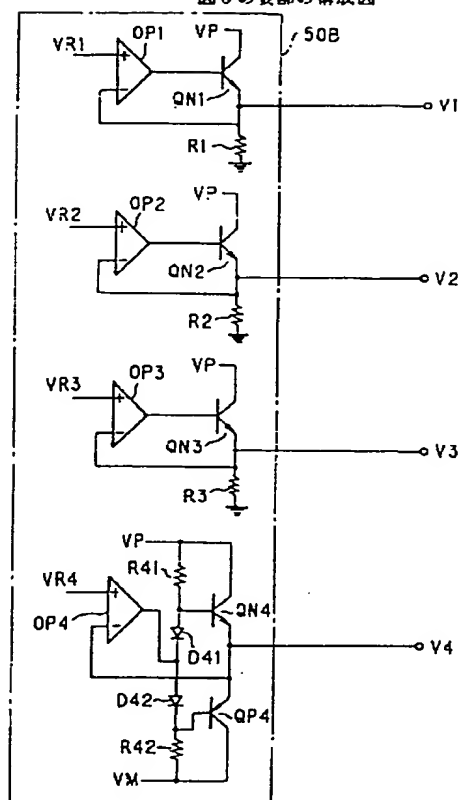
【図5】

図4の要部の構成図



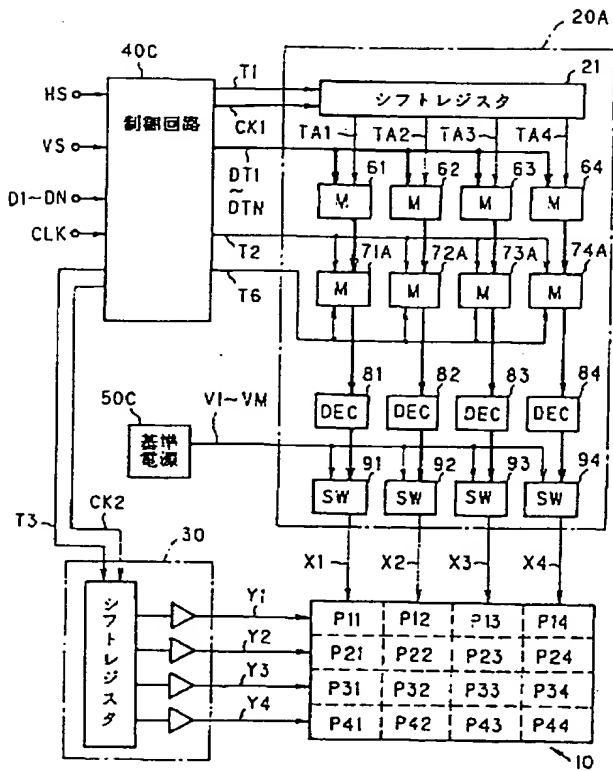
【図7】

図6の要部の構成図



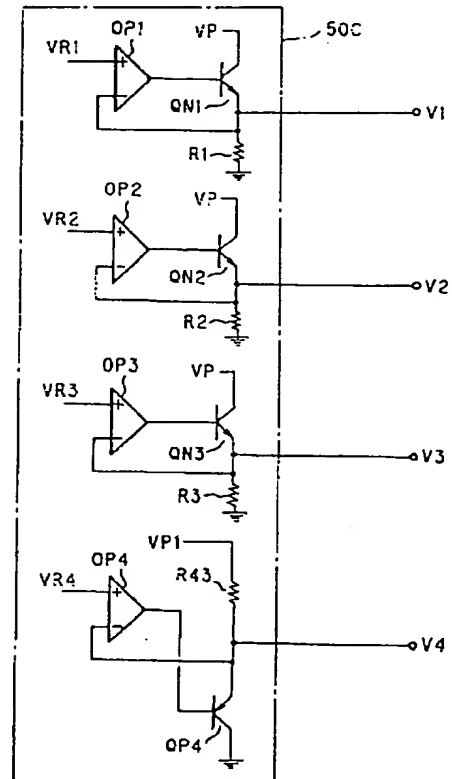
【図8】

本発明の第4の実施例としてのLCDの構成図

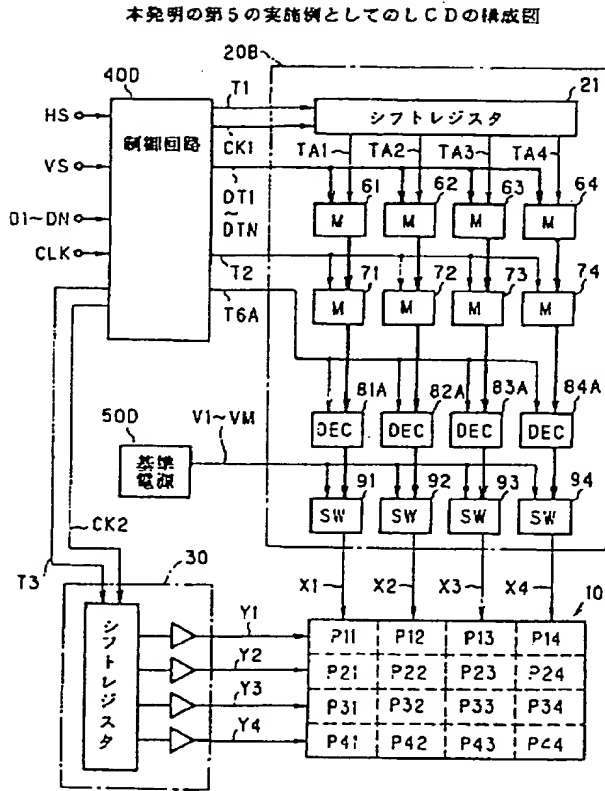


【図9】

図8の要部の構成図

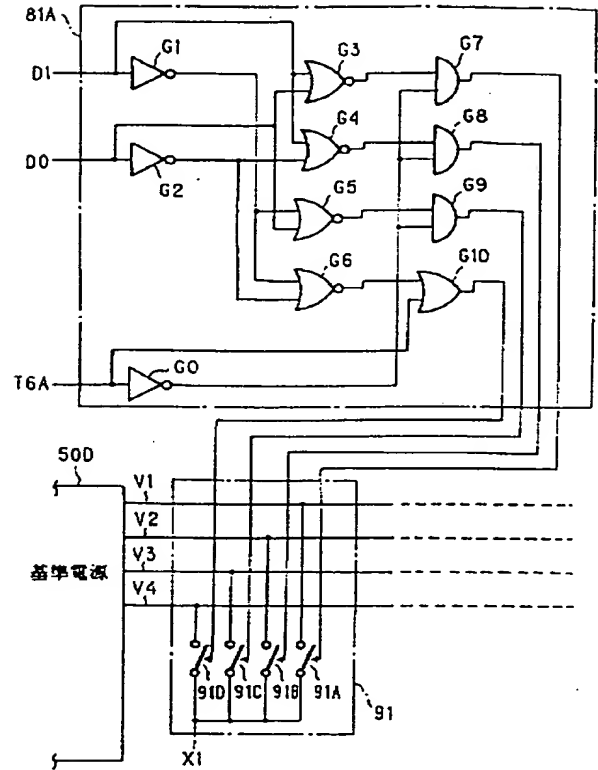


【図10】



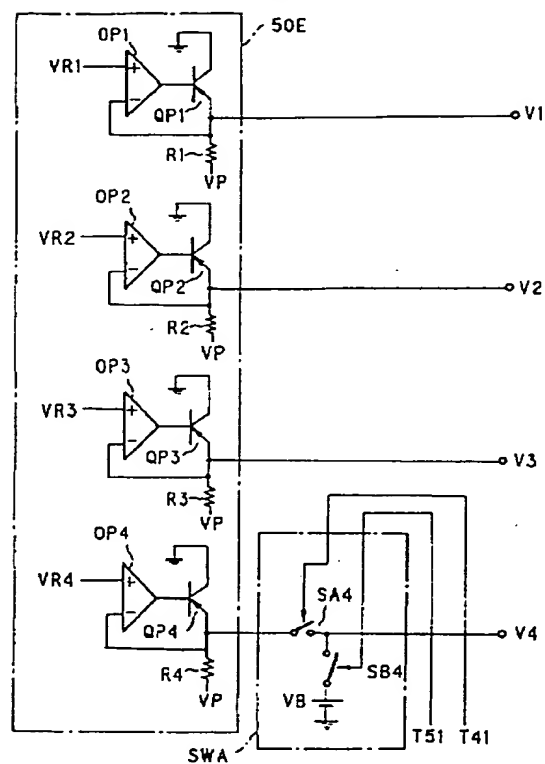
【図11】

図10におけるデコーダの構成図

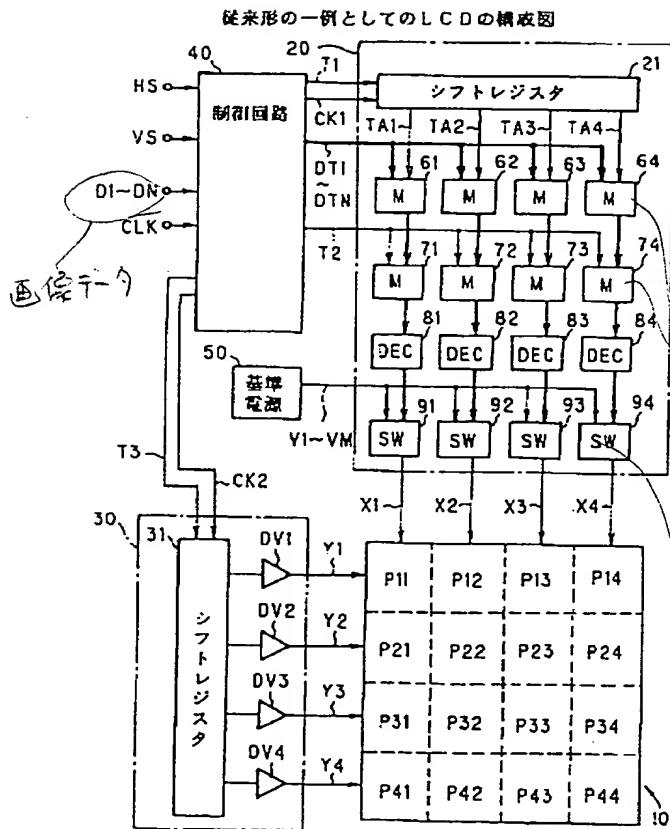


【例 13】

図12の要部の構成図

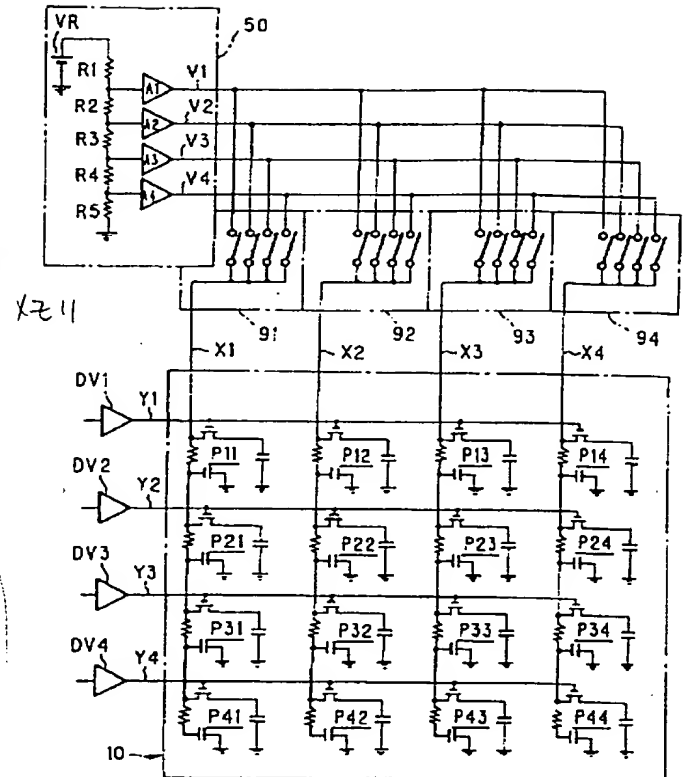


【図14】



【図15】

図14の要部の構成図



基礎電源 V1~VM の接続

【図16】

従来例の問題点を説明するための図

